

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-053157

(43)Date of publication of application : 25.02.1994

(51)Int.Cl. H01L 21/265
H01L 21/268
H01L 21/324

(21)Application number : 04-205586

(71)Applicant : SONY CORP

(22)Date of filing : 31.07.1992

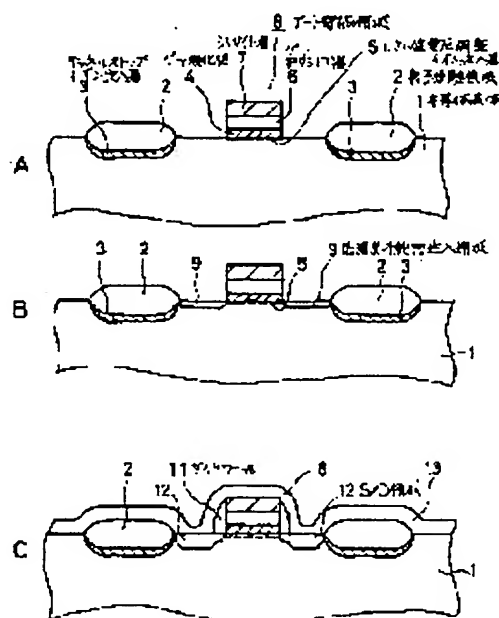
(72)Inventor : TSUKAMOTO HIRONORI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor device with high packing density, in which shallow junctions are formed, gate-drain breakdown strength is prevented from degradation, and gate leakage current is decreased.

CONSTITUTION: A method of manufacturing a semiconductor device comprises the step carrying out furnace annealing or rapid thermal annealing after formation of isolation regions 2, gate electrode regions 8, and lightly doped regions 9 and the step of carrying out pulsed laser annealing after formation of source and drain regions 12.



LEGAL STATUS

[Date of request for examination] 28.06.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3185386

[Date of registration] 11.05.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平 6-53157

(43) 公開日 平成6年(1994)2月25日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/265			
	21/268	Z 8617-4 M		
	21/324	Z 8617-4 M		
		8617-4 M	H 0 1 L 21/265	A
		8617-4 M		B
	審査請求 未請求 請求項の数 2			(全 6 頁)

(21) 出願番号 特願平4-205586

(22) 出願日 平成4年(1992)7月31日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 塚本 弘範

東京都品川区北品川6丁目7番35号 ソニー株式会社内

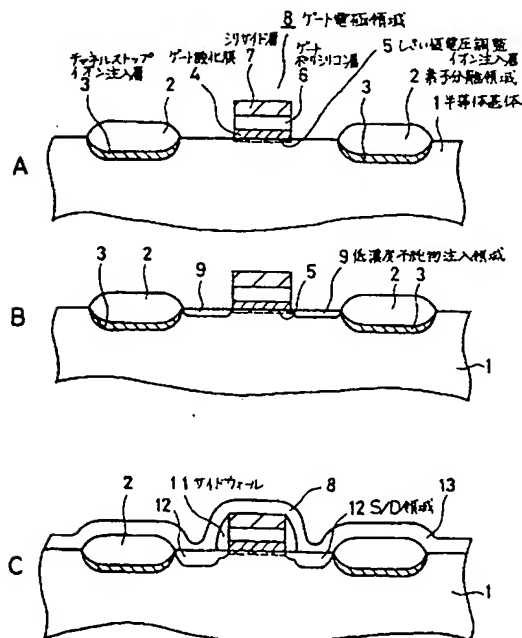
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 高密度集積半導体装置において浅い接合を形成し、且つトランジスタのゲートドレイン間の耐圧劣化を抑制し、ゲートリーク電流を低減化し得る製造方法を提供する。

【構成】 素子分離領域2、ゲート電極領域8及び低濃度不純物注入領域9を形成した後、炉アニール或いはラピッドサーマルアニールを行う工程と、ソース/ドレイン(S/D)領域12を形成した後、パルスレーザアニール処理を行う工程とを有する。



半導体装置の製造方法の一例の工程図

【特許請求の範囲】

【請求項1】 素子分離領域、ゲート電極領域及び低濃度不純物注入領域を形成した後、炉アニール或いはラピッドサーマルアニールを行う工程と、ソース／ドレイン領域を形成した後、パルスレーザアニール処理を行う工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 素子分離領域、コレクタ領域及びベース領域を形成した後、炉アニール或いはラピッドサーマルアニールを行う工程と、エミッタ領域を形成した後、パルスレーザアニール処理を行う工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電界効果型トランジスタや、バイポーラトランジスタ等の各種半導体装置の製造方法に係わる。

【0002】

【従来の技術】各種LSI（大規模集積回路）における半導体装置、即ち複数の半導体素子が同一半導体基板上に形成された半導体装置の製造工程においては、半導体素子同士を分離或いは接続するために各種の高温加熱処理が行われる。また、MOSFET（金属-酸化膜-半導体電界効果トランジスタ）等の半導体装置においてはLDD（Lightly Doped Drain）構造やソース／ドレイン領域の形成のため、またバイポーラトランジスタ等の半導体装置においてはベース領域、エミッタ領域等の形成のためにイオン注入処理が行われ、更にイオン注入処理の後半導体基板の結晶性の回復及び注入されたアクセプタイオンやドナーイオンを電気的に活性化させるために、アニール処理（以下活性化アニール処理という）を施す必要がある。

【0003】更にまた、コンタクト抵抗の低減化のために、高融点金属（W、Mo、Ti等）やPt、Pdのような金属とSiとの化合物層であるシリサイド層の高温加熱処理が必要である。活性化アニール処理や高温加熱処理として従来、炉アニールやラピッドサーマルアニール（RTA）が採用されている。

【0004】一方、半導体装置の集積化が進むにつれて個々の半導体素子が縮小化され、ソース／ドレイン領域またはエミッタ領域において浅い接合が必要とされる。炉アニール或いは上述のRTAにて活性化アニール処理を行うと、拡散層が深くなり、ソース／ドレイン領域やエミッタ領域の接合を浅くして半導体素子を微細化し高集積化するという要求を満足することができない。そのため、浅い接合の形成方法の一つにパルスレーザ照射による活性化アニール法が提案されている。

【0005】

【発明が解決しようとする課題】パルスレーザのエネル

ギーは半導体基板の極く表面（約20nm程度）で吸収されるため、パルスレーザによってアニール処理が可能な深さは、熱拡散を考慮しても約100nm以下となる。その為、パルスレーザによるアニール処理は浅いLDD構造エミッタ領域或いはソース／ドレイン領域の形成時の活性化アニール処理には適している。

【0006】しかしながら、LDDの濃度プロファイルが急峻なアブラウト分布の場合、緩やかなガウシアン分布に比べ、トランジスタのゲートリーク電流が増加するという問題がある（例えば「次世代超LSIプロセス技術（広瀬全孝編、リアライズ社）」の69～70頁）。このような問題は、例えばバイポーラトランジスタにおいてはベース領域とコレクタ領域との間の接合部分においても同様と思われる。

【0007】この問題を解決するために、レーザパワーを増加させてLDD領域やベース領域のアクセプタイオンやドナーイオンを深く拡散させることが考えられるが、ソース／ドレイン領域、ベース領域における接合が深くなるという問題がある。また、レーザパワーが小さい場合には、半導体基板の極く表面のみが熔融し、その後半導体基板の表面は直ちに平坦になる。しかるに、レーザのパワーが大きい場合は半導体基板のかなり深い部分まで熔融するため、半導体基板の表面の平坦性が著しく損なわれるという問題もある。

【0008】本発明は、微細な半導体装置において浅い接合を形成し、且つトランジスタのゲートリーク電流又はベース-コレクタ間のリーク電流を低減することができる半導体装置の製造方法を提供することにある。

【0009】

【課題を解決するための手段】本発明半導体装置の製造方法は、その一例の製造工程図を図1A～Cに示すように、素子分離領域2、ゲート電極領域8及び低濃度不純物注入領域9即ちいわゆるLDD構造を形成した後、炉アニール或いはRTA（ラピッドサーマルアニール）を行う工程と、ソース／ドレイン領域12を形成した後、パルスレーザアニール処理を行う工程とを有する。

【0010】また本発明半導体装置の製造方法の一例の製造工程図を図2A～E及び図3A～Dに示すように、素子分離領域29、コレクタ領域31及びベース領域33を形成した後、炉アニール或いはRTAを行う工程と、エミッタ領域36を形成した後、パルスレーザアニール処理を行う工程とを有する。

【0011】

【作用】上述の本発明によれば、図1A～Cに示すように、素子分離領域2及びゲート電極領域8を形成し、低濃度不純物注入領域9を形成していわゆるLDD構造を形成した後炉アニール又はRTAを行うことにより、これらの領域に形成された比較的厚さの厚い導電層や下地層を電気的に活性化すると共に、低濃度不純物注入領域9の不純物分布を比較的緩やかなガウシアン分布にする

ことができ、ゲート電極-基板間の耐圧の劣化を抑制し、リーク電流を低減化することができる。また、ゲート電極領域8の上部に均一な低抵抗のシリサイド層を形成することができる。

【0012】また、他の本発明によれば、図2A~E及び図3A~Dに示すように、素子分離領域29、コレクタ領域31及びベース領域33を形成した後、炉アニール又はRTAを行うことにより、このベース領域33の不純物分布を比較的緩やかなガウシアン分布にすることができ、ベース-コレクタ間の耐圧の劣化を抑制し、リーク電流を低減化することができる。

【0013】またこれら本発明においては、ソース/ドレイン領域12又はエミッタ領域36の活性化処理をパルスレーザアニールにより行うものであり、そのエネルギー密度、パルス回数及び照射時間等を制御することによって、半導体基体の表面から例えば深さ100nm以下程度の浅い接合を維持することができ、微細な半導体装置を製造することができる。

【0014】

【実施例】実施例1

この例においては、本発明をMOSFETの製造に適用した場合を示す。ここで重要な点は、ソース/ドレイン領域における活性化のためのパルスレーザ照射の工程より前にLDD領域を形成し、炉アニールまたはRTAを行うことによってLDD領域の不純物分布をガウシアン分布にすることである。

【0015】そして、ソース/ドレイン領域における活性化のためのパルスレーザ照射工程以後の熱処理を600℃以下とすることである。即ち600℃を超える熱処理を行うと、LDD構造或いはソース/ドレイン領域における接合が深くなってしまふからである。後の工程で熱処理が必要とされる場合として、Al配線層を形成するときのシンター処理があるが、このときの処理温度は約450℃~600℃程度である。

【0016】以下、図面を参照して本発明半導体装置の製造方法の一例を詳細に説明する。先ず図1Aに示すように、Si等より成る半導体基体1に選択熱酸化等によって素子分離領域2を形成する。この素子分離領域2の下部にはチャンネルストップイオン注入層3が形成されている。次いで、ゲート酸化膜4を形成した後、しきい値電圧調整イオン注入層5を形成する。そして、ゲート酸化膜4をゲートポリシリコン層6で覆った後、シリサイド層7を形成し、シリサイド層7、ゲートポリシリコン層6及びゲート酸化膜4をエッチングすることによってゲート電極領域8を形成する。

【0017】この後、全面的に不純物を低濃度に注入して図1Bに示すように低濃度不純物注入領域9いわゆるLDD構造を形成する。そして、各層を活性化し、またシリサイド層6の低抵抗化、低濃度不純物注入領域9に不純物のガウシアン分布を形成するための炉アニール処

理またはRTA処理を行う。本実施例においては、RTA処理を行い、その条件を1050℃、10秒とした。

【0018】そして更にこの上に全面的にSiO₂等の絶縁層を全面的に被着した後、RIE(反応性イオンエッチング)等の異方性エッチングを行って、図1Cに示すように、ゲート電極領域8の両側にサイドウォール11を形成し、ゲート電極領域8及びこのサイドウォール11をマスクとしてイオン注入を行ってソース/ドレイン領域(S/D領域)12を形成する。この後、必要に応じて反射防止膜としてCVD(化学気相成長)法等により酸化膜13を50nm程度形成し、パルスレーザを矢印Lで示すように全面的に照射することによりソース/ドレイン領域12に注入されたイオンを活性化させる。パルスレーザによる活性化アニール処理の条件は、例えばXeClレーザを使用し、照射エネルギー密度を700mJ/cm²、パルス幅を44nsとした。

【0019】炉アニールの条件は、温度を850℃~1150℃、より好ましくは950℃~1050度、処理時間を10~30分とすることが望ましい。或いはまたRTAの条件を850℃~1150℃、より好ましくは1000℃~1150℃の温度とし、2~10秒の処理時間とすることが望ましい。

【0020】パルスレーザアニールにおいては、ルビーレーザ(波長:694nm)、XeF(波長:351nm)、XeCl(波長:308nm)、KrF(波長:249nm)、ArF(波長:193nm)等の各レーザを使用することができるが、例えば図4にSiの吸収係数の波長依存性を示すように、XeFレーザ、XeClレーザの波長領域において、実線aで示すSi単結晶と、破線bで示すボロンBをイオン注入したSi単結晶の吸収係数がほぼ等しくなるため、不純物としてBを注入する場合はXeFレーザ、XeClレーザを使用することが望ましい。

【0021】またパルスレーザアニール時の照射エネルギーを650mJ/cm²~1100mJ/cm²、より好ましくは700mJ/cm²~900mJ/cm²とすることが望ましい。パルス幅は20ns~100ns程度が好ましく、パルス照射間隔は任意に選定することができる。

【0022】この後通常の製造方法により層間絶縁層、配線層等を形成して、低濃度不純物注入領域9においては不純物濃度分布が緩やかなガウシアン分布とされてゲート電極-基板間の耐圧の劣化が抑制され、リーク電流の低減化がはかれると共に、ソース/ドレイン領域12においては浅い接合が維持されて微細化が可能とされたMOSFET半導体装置を形成することができる。配線層のシンター処理等においてはその熱処理を600℃以下とすることが重要である。

【0023】実施例2

この例においては、本発明をバイポーラトランジスタの

製造に適用した場合を示す。この場合においても重要な点は、エミッタ領域における活性化のためのパルスレーザ照射の工程より前にベース領域を形成し、炉アニールまたはRTAを行うことによってベース領域の不純物分布をガウシアン分布にする。また、エミッタ領域における活性化のためのパルスレーザ照射工程以後の熱処理を、その接合を浅く維持するために600℃以下とする。

【0024】以下、図面を参照して本発明半導体装置の製造方法の一例を詳細に説明する。先ず図2Aに示すように、Si等より成る例えばp型の半導体基体21の表面に酸化膜22を形成して、フォトリソグラフィ等の適用により所定領域に開口を設け、この酸化膜22をマスクとして例えばn型不純物を高濃度に注入してコレクタ埋込み領域23を形成する。この不純物としては、その後の熱処理で広がりが少ないように、拡散定数の小さいSbやAsが用いられる。

【0025】そしてこの後図2Bに示すように、酸化膜22を除去した後、エピタキシャル成長を行ってn型のシリコン単結晶層24を全面的に厚さ例えば数μmとして形成し、更に表面を薄く酸化する等してSiO₂等の絶縁層25を全面的に形成し、更に選択酸化のマスクとなるSi₃N₄等の絶縁層26を全面的にCVD法等により形成する。

【0026】次に図2Cに示すように、選択酸化によるいわゆる素子分離領域を形成するためパターンニングを行い、Si₃N₄絶縁層26、SiO₂絶縁層25及びシリコン単結晶層24のエッチングを行って素子分離領域形成部に凹部27を形成する。

【0027】そして分離を確実にするために、B等のp型不純物を高濃度に注入し、欠陥発生防止のアニールを行って図2Dに示すようにチャネル防止領域28を形成した後、選択酸化を行って素子分離領域29を形成する。

【0028】この後、選択酸化のマスクとしたSi₃N₄絶縁層26を除去し、フォトリソグラフィ等の適用により形成したレジスト30をマスクとして、コレクタ領域31に矢印Aで示すようにリンP等のn型不純物を選択的に注入して拡散を行い、コレクタ抵抗の低減をはかる。

【0029】次に、図3Aに示すように、フォトリソグラフィ等の適用により形成したレジスト32をマスクとして、矢印Bで示すようにB等のp型不純物を高濃度に選択的に注入してベース領域33を形成する。この後、RTA又は炉アニールによって、例えばこの場合RTAにより活性化処理を行う。

【0030】そして図3Bに示すように、レジスト32を除去した後全面的に例えばPSG（リンシリケートガラス）等の絶縁層35を被着した後、エミッタ領域36に選択的にAs等のp型不純物を高濃度に注入する。そ

してこの後全面的に例えばSiO₂等の反射防止膜37を厚さ50nm程度に形成して、全面的にパルスレーザを矢印Eで示すように照射することにより、エミッタ領域36に注入されたイオンを活性化させる。

【0031】そしてこの後図3Cに示すように、フォトリソグラフィ等の適用によりレジスト38をパターンニング形成して、これをマスクとして各コレクタ領域31、ベース領域33及びエミッタ領域37上に開口を形成する。

【0032】そして全面的に例えばAlを蒸着し、フォトリソグラフィ等の適用によって電極、配線加工を行い、コレクタ電極40、エミッタ電極41及びベース電極42をそれぞれ形成する。以降の電極のシンター処理等の工程において、熱処理温度を600℃以下とすることが重要である。

【0033】尚、この場合においても炉アニールの条件は、温度を850℃～1150℃、より好ましくは950℃～1050度、処理時間を10～30分とすることが望ましい。或いはまたRTAの条件を850℃～1150℃、より好ましくは1000℃～1150℃の温度とし、2～10秒の処理時間とすることが望ましい。

【0034】また、パルスレーザアニールとして、ルビレーザ、XeF、XeCl、KrF、ArF等の各レーザを使用することができる。パルスレーザアニール時の照射エネルギーを650mJ/cm²～1100mJ/cm²、より好ましくは700mJ/cm²～900mJ/cm²とすることが望ましい。パルス幅は20ns～100ns程度が好ましく、パルス照射間隔は任意に選定することができる。

【0035】このようにすることによって、ベース領域の不純物分布を緩やかなガウシアン分布にすることができ、ベース領域-コレクタ領域間の電界集中を緩和して耐圧の劣化を抑制し、リーク電流を低減化することができる。またこの場合、エミッタ領域をパルスレーザ処理により活性化することから浅い接合を維持することができ、特に高周波（高速）用の接合深さ0.2μm以下程度の微細なバイポーラトランジスタ半導体装置において、上述したような耐圧劣化、低リーク電流化等の効果を得ることができる。

【0036】尚、本発明は上述の各実施例に限定されることなく、例えばその導電型を図示とは逆導電型とする等、種々の変形変更をなし得ることはいうまでもない。

【0037】

【発明の効果】上述の本発明によれば、電界効果トランジスタにおいて、LDD構造を構成する低濃度不純物注入領域9の不純物分布を比較的緩やかなガウシアン分布にすることができ、ゲート電極-基板間の耐圧の劣化を抑制し、リーク電流を低減化することができる。また、ゲート電極領域8の上部に均一な低抵抗のシリサイド層を形成することができる。

【0038】また他の本発明によれば、バイポーラトランジスタにおいて、ベース領域33の不純物分布を比較的緩やかなガウシアン分布にすることができ、ベースコレクタ間の耐圧の劣化を抑制し、リーク電流を低減化することができる。

【0039】またこれら本発明においては、ソース/ドレイン領域12又はエミッタ領域36の活性化処理をパルスレーザアニールにより行うものであり、そのエネルギー密度、パルス回数及び照射時間等を制御することによって、半導体基体の表面から例えば深さ100nm以下程度の浅い接合を確実に形成することができ、微細なトランジスタから成る超高速集積回路を形成することができる。

【図面の簡単な説明】

【図1】本発明半導体装置の製造方法の一例の製造工程図である。

【図2】本発明半導体装置の製造方法の一例の製造工程図である。

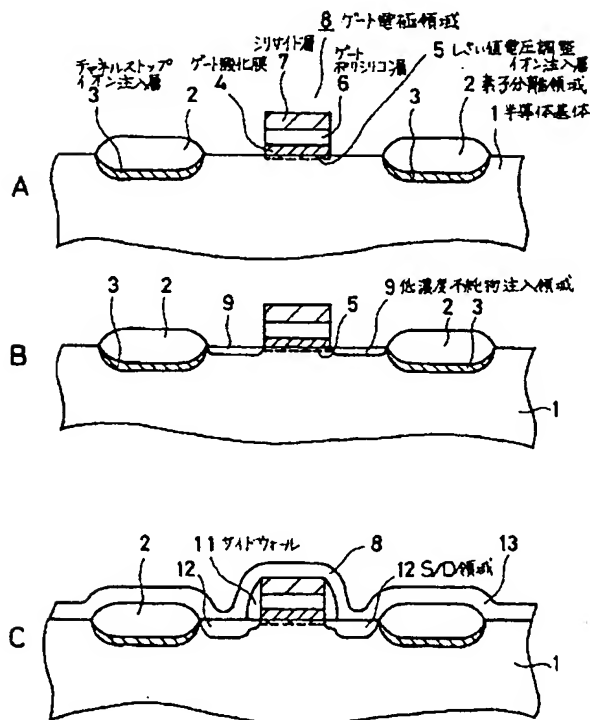
【図3】本発明半導体装置の製造方法の一例の製造工程図である。

【図4】シリコンの光吸収係数の波長依存性を示す図である。

【符号の説明】

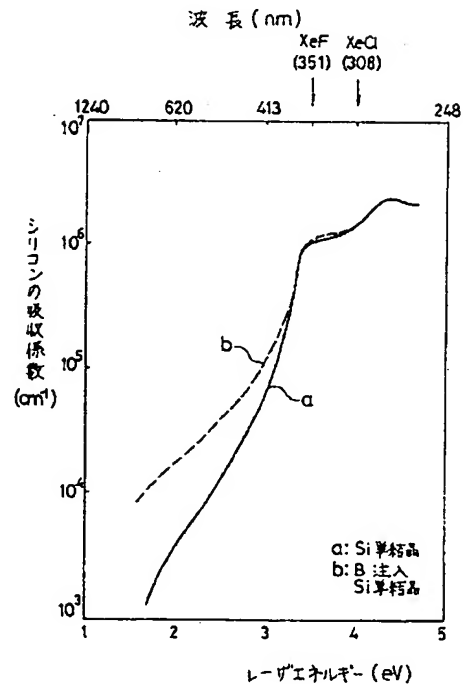
- 1 半導体基体
- 2 素子分離領域
- 3 チャネルストップイオン注入層
- 4 ゲート酸化膜
- 5 しきい値電圧調整イオン注入層
- 6 ゲートポリシリコン層
- 7 ゲートシリサイド層
- 8 ゲート電極領域
- 10 9 低濃度不純物注入領域
- 12 ソース/ドレイン領域
- 13 反射防止膜
- 21 半導体基体
- 23 コレクタ埋込み領域
- 28 チャネル防止領域
- 29 素子分離領域
- 31 コレクタ領域
- 33 ベース領域
- 36 エミッタ領域
- 40 コレクタ電極
- 41 エミッタ電極
- 42 ベース電極

【図1】



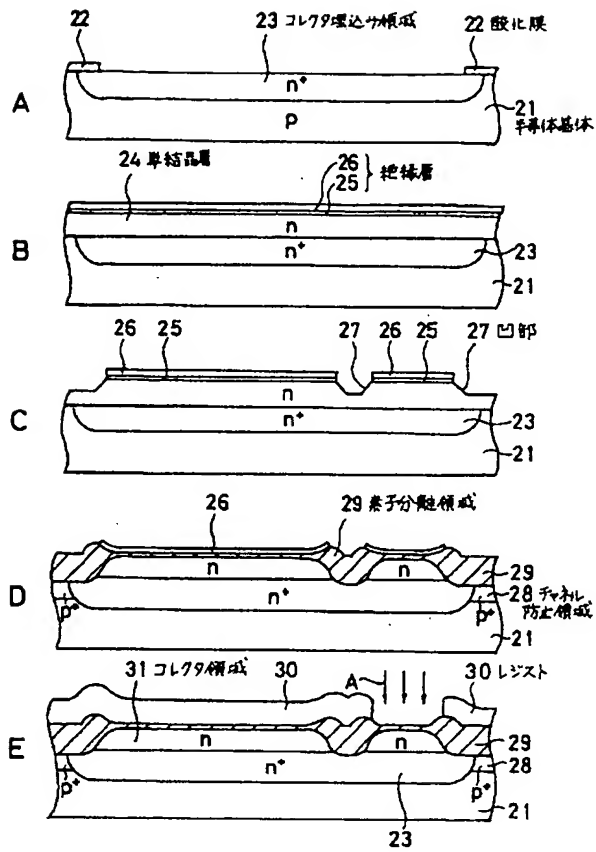
半導体装置の製造方法の一例の工程図

【図4】



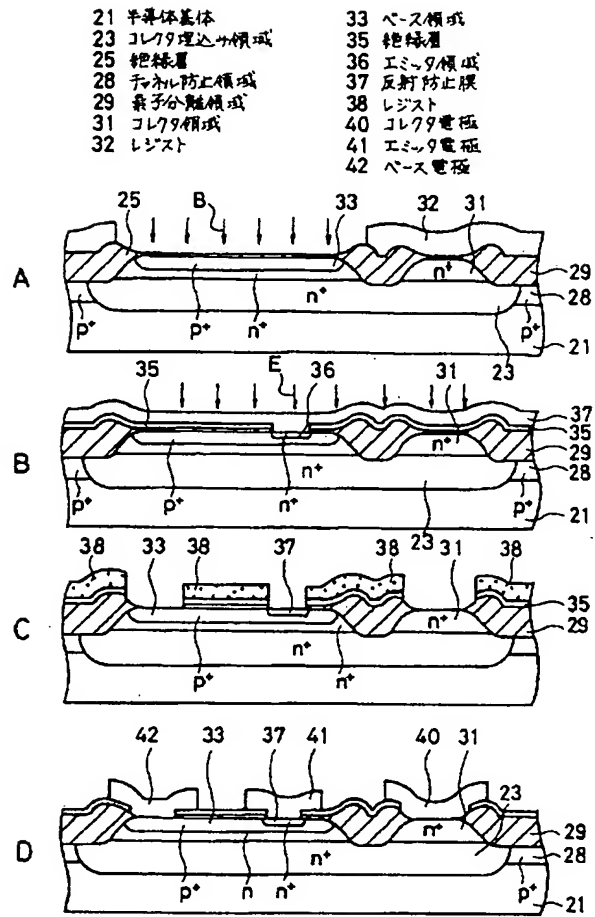
シリコンの光吸収係数の波長依存性を示す図

【図2】



本発明半導体装置の製造方法の一例の工程図(その1)

【図3】



本発明半導体装置の製造方法の一例の工程図(その2)